

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-043795

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

G02F 1/133  
G09G 3/36

(21)Application number : 06-194593

(71)Applicant : NEC CORP

(22)Date of filing : 28.07.1994

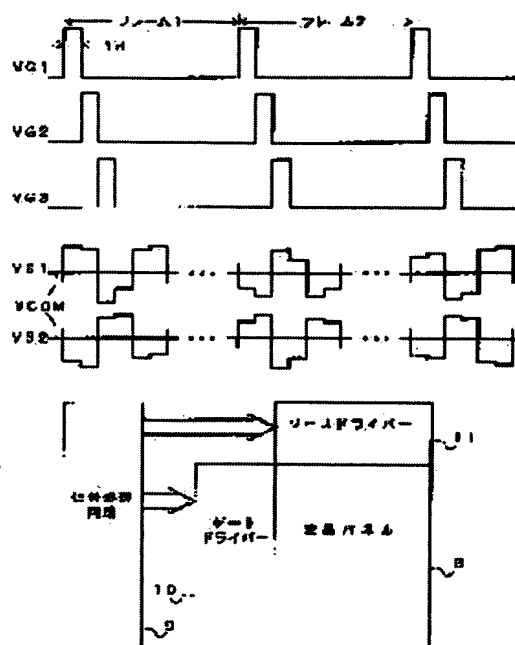
(72)Inventor : MORIYAMA HIROAKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the electric power consumption of a signal processing circuit and a source driver circuit and to lower the electric power consumption of this liquid crystal display device by doubling the polarization inversion period of video signals for liquid crystals.

**CONSTITUTION:** A gate driver circuit 10 outputs scanning pulse signals VG1, VG2 to corresponding gate lines. The source driver circuit 11 outputs the video signals VS1, VS2 for liquid crystals to corresponding source lines. The signal processing circuit 9 generates control signals or the video signals for liquid crystals from synchronizing signals or video signals sent from a computer, etc., and sends these signals to the gate driver circuit 10 and the source driver circuit 11. The polarities of the video signals VS1, VS2, etc., for liquid crystals are determined by the signal processing circuit 9. A VCOM is a voltage to be applied on a counter electrode 7 and is about 5V. The video signals VS1, VS2 for liquid crystals are inverted in the polarities with the VCOM at every source line. The video signals VS1, VS2 for liquid crystals are inverted in the polarities at every period 2H when the scanning pulses VG1, VG2 turn on respectively.



## LEGAL STATUS

[Date of request for examination] 28.07.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2743841

[Date of registration] 06.02.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-43795

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.<sup>6</sup>

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 5 0

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数6 F D (全 11 頁)

(21)出願番号 特願平6-194593

(22)出願日 平成6年(1994)7月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森山 浩明

東京都港区芝五丁目7番1号 日本電気株式会社内

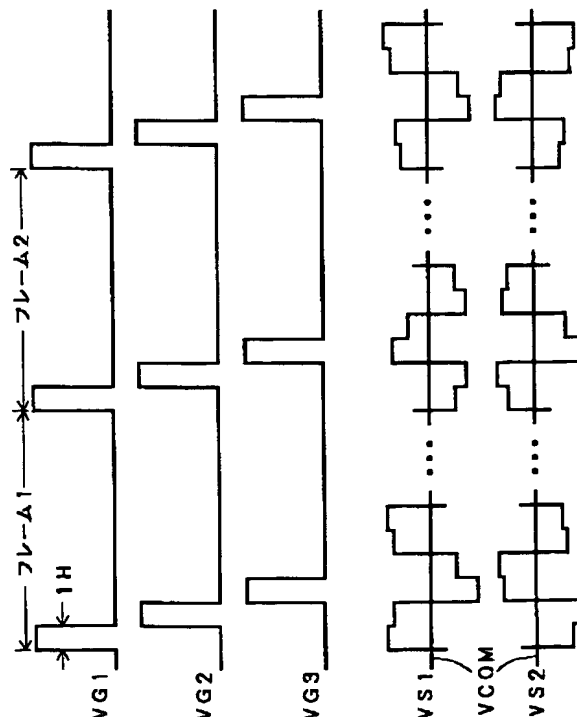
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】液晶表示装置において、信号処理回路の消費電力を低減し、FRC駆動時の縦すじムラの発生を抑える。

【構成】各ソース線に印加する信号電圧 $V_{S1}$ 、 $V_{S2}$ の極性を2H毎に反転する。隣接するソース線 $V_{S1}$ 、 $V_{S2}$ 毎で信号電圧は逆極性とする。また、FRC駆動による中間調表示においては、任意の $2 \times 2$ 行列内で、4つの印加電圧位相が必ず含まれ、且つ、縦方向及び横方向にも4つの位相が必ず配置されるように駆動制御する。



## 【特許請求の範囲】

【請求項 1】 2 枚の透光性絶縁基板間に液晶が充填され、一方の基板の内面に並列配置された複数のゲート線と、並列配置された複数のソース線とが互いに交差して形成され、前記ゲート線と前記ソース線とで囲まれた領域に画素電極が形成され、前記ゲート線と前記ソース線との各交差部付近に薄膜トランジスタが形成され、他方の基板の内面には対向電極が形成されて成る液晶表示装置において、

前記対向電極の電位を基準として、横方向については隣接する前記画素電極同士の信号電位の極性が反転して駆動され、縦方向については前記画素電極 2 個毎に信号電位の極性が反転して駆動され、さらに前記各画素電極は、1 フレーム期間毎に極性が反転されることを特徴とする液晶表示装置。

【請求項 2】 2 枚の透光性絶縁基板間に液晶が充填され、一方の基板上にゲート線と、ソース線とが互いにマトリクス状にパターン形成され、前記ゲート線と前記ソース線とで囲まれた領域に画素電極が形成され、前記ゲート線と前記ソース線との各交差部に薄膜トランジスタが形成され、他方の基板の対向面上には対向電極が形成され、前記対向電極の電位を基準として、低い正電圧及び高い負電圧の 2 つの駆動位相から成る駆動電圧と、低い負電圧及び高い正電圧の 2 つの駆動位相から成る駆動電圧を交互に画素に印加して中間調を表示する液晶表示装置において、

任意の  $2 \times 2$  画素の行列内に前記 4 つの駆動位相が含まれると共に、任意の列が縦方向に前記 4 つの駆動位相を含むように、各画素を駆動することを特徴とする液晶表示装置。

【請求項 3】 前記 4 つの駆動位相について、同一の駆動位相同士が互いに隣接することがないように各画素を駆動することを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記対向電極の電位を基準として、横方向について相隣る前記ソース線毎に前記駆動電圧の極性が互いに反転され、縦方向については 2 画素 (2 ライン) 毎に前記駆動電位の極性が反転され、さらに、1 フレーム毎に各画素の駆動電圧の極性が反転されることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 垂直同期信号を  $1/2$  分周した信号と、水平同期信号を  $1/4$  分周した信号の排他的論理和出力に基づき、前記ソース線に印加される信号電圧の極性を決定するように構成して成る請求項 1 又は 2 記載の液晶表示装置。

【請求項 6】 前記薄膜トランジスタが、非晶質シリコン又は多結晶シリコンから形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置に関し、特

に低消費電力化を達成する液晶表示装置に関する。

## 【0002】

【従来の技術】 省スペース、低消費電力の特徴を持つ液晶表示装置はコンピュータ等のディスプレイとしての利用が急速に増大している。

【0003】 図 6 に、液晶表示装置の画素部の等価回路を示す。図 6 において、1 はゲート線、2 はソース線、3 は画素電極、4 は薄膜電界効果型トランジスタ、5 は液晶からなるコンデンサ、6 は蓄積コンデンサ、7 は対向電極である。

【0004】 図 6 に示すように、ゲート線 1 は G1、G2 等から構成され、ゲート線 1 は薄膜電界効果型トランジスタ 4 のゲート電極に接続されている。また、ソース線 2 は S1、S2 等から構成され、薄膜電界効果型トランジスタ 4 のソース電極に接続されている。ゲート線 1 とソース線 2 とは互いに直交して絶縁して形成されている。

【0005】 薄膜電界効果型トランジスタ 4 は、電気的にはスイッチとして用いられており、また、半導体材料として好ましくは非晶質シリコン等を使用して形成される。

【0006】 液晶コンデンサ 5 は、一方の基板に形成された画素電極 3 と他方の基板に形成された対向電極 7 と液晶とで構成される。蓄積コンデンサ 6 は液晶に印加する電圧を安定にする役割を果たす。対向電極 7 は全ての液晶コンデンサ 5 と蓄積コンデンサ 6 の一側の電極に接続されており、共通である。

【0007】 図 7 に、従来の液晶表示装置における駆動電圧波形の一例を示す。図 7 において、VG1、VG2 は、図 6 の相隣るゲート線 1 (G1、G2) に入力する走査パルスであり、オン (高電位) 側で +20V、オフ (低電位) 側で -5V である。

【0008】 また、VS1、VS2 は、相隣るソース線 2 (S1、S2) に入力する液晶用映像信号であり、0 ~ +10V ( $5 \pm 5$ V) 程度の信号である。

【0009】 VCOM は、対向電極 7 に印加する電圧で、約 5V である。

【0010】 図 7 に示すように、液晶用映像信号 VS1、VS2 は、VCOM に対する極性を互いに逆とし、ソース線毎に反転駆動され、さらに走査パルス VG1、VG2 がオンする期間 (1H) 毎にもその極性を反転している。なお、1H は一水平走査期間 (即ち 1 ライン) を表す。

【0011】 図 8 は、液晶表示装置全体のブロック図である。図 8 において、8 は液晶パネル、9 は信号処理回路、10 はゲートドライバー回路、11 はソースドライバー回路である。液晶パネル 8 内には、図 6 に示す画素がマトリクス状に配置されている。

【0012】 ゲートドライバー回路 10 は、走査パルス信号 (VG1、VG2) を対応するゲート線 1 (G1、

10

20

30

40

50

## 3

G2)に出力する。ソースドライバー回路11は、液晶用映像信号(VS1、VS2)を対応するソース線2(S1、S2)に出力する。

【0013】信号処理回路9はコンピュータ等から送られる同期信号や映像信号から、制御信号や、液晶用映像信号を発生させ、ゲートドライバー回路10及びソースドライバー回路11に送る。液晶用映像信号VS1、VS2等の極性は、信号処理回路9にて決定する。

【0014】図6及び図7を参照して、液晶表示装置における1画素の動作を説明する。ゲート線1(G1)に印加される走査パルス信号VG1がオン(高電位)になると薄膜電界効果型トランジスタ4がオン状態となり、走査パルス信号VG1に同期してソース線2(S2)に液晶用映像信号VS1が印加され、液晶用映像信号VS1が液晶コンデンサ5及び蓄積コンデンサ6に書き込まれる。液晶コンデンサ5及び蓄積コンデンサ6に書き込まれる電位をVLCとする。

【0015】走査パルス信号VG1がオフする(低電位になる)と薄膜電界効果型トランジスタ4はオフ状態となり、電位VLCは液晶コンデンサ5及び蓄積コンデンサ6に保持される。この保持された電位VLCにより液晶を駆動し、透過光量を制御して、映像信号を表示する。

【0016】次に、1フレーム期間後、走査パルス信号VG1がオンしたときには、書き込まれる液晶用映像信号VS1の極性が反転し、電位VLCの極性が反転する。

【0017】このように、1フレーム毎(即ち書き込み毎)に液晶用映像信号VS1の極性を反転させるのは、液晶を交流駆動し、寿命を確保するためである。

【0018】これらの動作を繰り返すことにより、映像信号に応じて透過光量を制御し、他の画素との組み合わせで液晶パネル全体で映像を表示している。

【0019】図9に、液晶パネル全体における各画素の極性を示す。従来例として示すこの駆動方法は、ドット(画素)毎に極性が反転することから、「ドット反転駆動」と呼ばれ、詳細は、SID 92 DIGEST (ソサイアティ フォア インフォメーション ディスプレイ 92 ダイジェスト)の第59頁以降に記載されている。

【0020】ドット反転駆動の特徴は、図9の極性図に示すように、1フレーム内では、縦方向、横方向ともに隣接する画素間では必ず液晶駆動電圧の極性が反転されており、さらに、次のフレームでは、図9(B)に示すように、各画素の極性が反転されることである。

【0021】ドット反転駆動の表示品質上の特徴としては、前述の文献に記載されているように、相隣るソース線間で極性が反転しているため、比較的電気抵抗の高い共通電極においても、電荷は隣接する画素までの移動で済むため、液晶パネル全体では電荷の移動は打ち消し合

## 4

うことになり、横方向のクロストークが発生しない。

【0022】また、前述の文献に記載されているように、ドット反転駆動は、隣接する画素同士で画素駆動電圧の極性が互いに反転するため、各画素の持つフリッカは隣接する画素のフリッカ成分と空間的に打ち消されるため、フリッカが最も目立ちにくい駆動方法である。

【0023】さらに、駆動回路としては、前述したように、基本的に、電荷は隣接する画素間で移動するだけであり、共通電極と外部回路との電荷の移動量が少ないために、共通電極駆動電圧VCOM発生回路の消費電力が少ないという特徴がある。

【0024】見かけ上、ドット反転駆動の構成とされる液晶表示装置として、例えば特開平4-309926号公報には、フレーム内の縦スジ及び横スジを低減できると同時にフリッカのない高画質の画像を得ることを目的として、同一の走査線(ゲート線)によって駆動される画素が信号線(ソース線)の一面素毎に上下にずれていることを特徴とする液晶表示装置(「従来例2」という)が開示されている。

【0025】図14に、前記特開平4-309926号公報に開示された画素配置図を示す。図14に示すように、従来例2においては、画素を駆動する薄膜電界効果型トランジスタ4は、ソース線毎に交互に図示上下のゲート線に接続されており、1ゲート線だけをみるとジグザクに駆動していることになる。ゲート線がジグザクの画素に接続されていることにより、ライン毎に極性反転をしているにもかかわらず、妨害縞はライン毎に生ぜず、視覚的に目立ちにくい画素毎の縞とされる。

【0026】しかし、上記従来例2においては、1本のゲート線がオンしている期間は、全てのソース線から供給される信号の極性が同一であるため、クロストークが発生するという問題があった。

【0027】次に、ドット反転駆動において、フレームレートコントローラ(以下「FRC」という)により、中間調を表示する方法を以下に説明する。

【0028】FRCは、2つの異なる輝度を交互に表示することにより、その中間調を表示する方法である。

【0029】図10は、2つの輝度を交互に表示する場合に画素に印加する液晶駆動電圧の例を示している。図10において、図示上側に示す駆動電圧VP1は、VCOMの電位を基準として、低い正電圧①/高い負電圧②を交互に印加する場合であり、図10の下側に示す駆動電圧VP2は、低い負電圧③/高い正電圧④を交互に印加する場合である。ここで、符号①~④は各位相を説明する場合に使用している。

【0030】駆動電圧VP1、VP2は異なる輝度を交互に表示することになるために、各画素においては、フレーム期間の2分の1の周期のフリッカ成分を持つ。例えば、フレーム周期が16.7msec(フレーム周波数は60Hz)の場合には、33.3msec(=30

## 5

H z) のフリッカ成分を持つ。

【0031】一般的には、50Hz以下のフリッカ成分は目視で視認されるため、全画素を同一の位相で駆動するとフリッカ成分が目立ち、表示品質を低下させる。

【0032】そこで、各画素に印加する駆動電圧波形について、駆動電圧VP1とVP2を混在させ、さらに位相①～④が混在するように駆動電圧を工夫することにより、フリッカ成分を除去している。

【0033】図11は、従来の液晶パネルの各画素において、位相①～④がそれぞれ互いに隣接しないように配置した場合の駆動位相の配置図である。この場合にも、各画素の極性については、隣接する画素同士で互いに極性が異なるドット反転駆動である。

【0034】図11に示すように、任意の2×2の行列内には、位相①～④が必ず含まれ、さらに同一の位相同士は互いに隣接しないために、各画素の持つフリッカ成分は空間的に打ち消され、目視ではほとんど視認されない。

【0035】次に、従来のドット反転駆動において、各画素に印加する駆動電圧の極性決定回路を図12に示す。

【0036】図12において、12はD型フリップフロップであり、FF4とFF5の2つが設けられている。13は排他的論理和回路、VSは垂直同期信号、HSは水平同期信号、POL2は極性信号である。また、図13は、図12の回路の動作を説明するタイミング図である。図13には、垂直同期信号VS、水平同期信号HS、及び極性信号POL2の各波形が示されている。

【0037】図12及び図13を用いて、極性決定回路の動作を説明する。

【0038】図12において、D型フリップフロップFF4、FF5は分周回路として用いられており、FF4は垂直同期信号VSを1/2分周し、FF5は水平同期信号HSを1/2分周する。排他的論理和回路13で、これらの分周された信号の排他的論理和をとることにより、図13に示すように、1H毎に極性が反転し、さらに1フレーム毎に位相が反転する極性信号POL2が生成される。

【0039】

【発明が解決しようとする課題】しかしながら、従来のドット反転駆動においては、前述したように、液晶用映像信号VS1は、 $5 \pm 5V$ とされ振幅が10V必要であり、また1H(1Hは、通常のパーソナルコンピュータ等では、 $30 \sim 40 \mu s$ 程度)毎に極性を反転する必要があることから、図8における信号処理回路9や、ソースドライバ回路11において消費電力が大きくなるという問題があった。

【0040】また、駆動電圧VP1とVP2によって表示される中間調は、理想的には同一となるはずであるが、実際には図6に示される画素の等価回路中にはいく

## 6

つかの寄生容量等が存在するために、図10におけるVCOMは理想値からはずれることがある。

【0041】この場合、駆動電圧VP1による中間調と、駆動電圧VP2による中間調とは異なる場合が生じる。

【0042】さらに、従来の液晶表示装置のFRC駆動では、図11の駆動位相の配置図において、ある列に注目すると、例えば矢印a、bで指示する列に示すように、列aには位相①、②のみの電圧波形が印加され、列bには位相③、④のみの電圧波形が印加されている。このため、FRCによる中間調表示においては、a、b列毎の縦すじのムラが目立つという問題がある。

【0043】従って、本発明の目的は、前記問題点を解消し、従来のドット反転駆動に対して信号処理回路の消費電力を低減させ、また、FRC中間表示時の縦すじムラをなくした液晶表示装置を提供することにある。

【0044】

【課題を解決するための手段】前記目的を達成するため、本発明は、2枚の透光性絶縁基板間に液晶が充填され、一方の基板の内面に並列配置された複数のゲート線と、並列配置された複数のソース線とが互いに交差して形成され、前記ゲート線と前記ソース線とで囲まれた領域に画素電極が形成され、前記ゲート線と前記ソース線との各交差部付近に薄膜トランジスタが形成され、他方の基板の内面には対向電極が形成されて成る液晶表示装置において、前記対向電極の電位を基準として、横方向については隣接する前記画素電極同士の信号電位の極性が反転して駆動され、縦方向については前記画素電極2個毎に信号電位の極性が反転して駆動され、さらに前記各画素電極は、1フレーム期間毎に極性が反転されることを特徴とする液晶表示装置を提供する。

【0045】また、本発明は、第2の視点において、2枚の透光性絶縁基板間に液晶が充填され、一方の基板上にゲート線と、ソース線とが互いにマトリックス状にパターン形成され、前記ゲート線と前記ソース線とで囲まれた領域に画素電極が形成され、前記ゲート線と前記ソース線との各交差部に薄膜トランジスタが形成され、他方の基板の対向面上には対向電極が形成され、前記対向電極の電位を基準として、低い正電圧及び高い負電圧の2つの駆動位相から成る駆動電圧と、低い負電圧及び高い正電圧の2つの駆動位相から成る駆動電圧を交互に画素に印加し、中間調を表示する液晶表示装置において、任意の2×2画素の行列内に前記4つの駆動位相が含まれると共に、任意の列が縦方向に前記4つの駆動位相を含むように、前記画素を駆動することを特徴とする液晶表示装置を提供する。

【0046】本発明においては、第2の視点において、前記4つの駆動位相について同一の駆動位相同士が互いに隣接することがないように各画素を駆動することを特徴としている。

【0047】本発明においては、第2の視点において、前記対向電極の電位を基準として、横方向について相隣る前記ソース線毎に前記駆動電圧の極性が互いに反転され、縦方向については2画素(2ライン)毎に前記駆動電位の極性が反転され、さらに、1フレーム毎に各画素の駆動電圧の極性が反転されることを特徴としている。

【0048】本発明においては、垂直同期信号を1/2分周した信号と、水平同期信号を1/4分周した信号の排他的論理和出力に基づき、前記ソース線に印加される信号電圧の極性を決定するように構成されている。

【0049】また、本発明においては、前記薄膜トランジスタが、好ましくは、非晶質シリコン、あるいは多結晶シリコン等の半導体材料から形成される。

#### 【0050】

【作用】本発明によれば、液晶用映像信号の極性反転周期が、従来の1H毎から2H毎にと2倍とされ、従来は1H毎に階調電圧の極性を反転していたが、本発明では2H毎に極性を反転するため、消費電力が低減されている。

【0051】また、FRC駆動時において、各画素に印加する駆動電圧の位相を工夫することで、任意の2×2の行列内には、駆動位相①～④が必ず含まれ、さらに各列毎に、駆動位相①から④が必ず含まれることになる。従って、本発明によれば、4つの電圧パターンが均一に分散するため、均一な表示が得られ表示品質が向上する。

#### 【0052】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0053】本実施例に係る液晶表示装置において、画素部の等価回路は、図6に示す前記従来例で説明したものと同様であり、その説明を省略する。

【0054】図1は本発明の実施例に係る駆動電圧波形で、VG1、VG2は、図6の相隣るゲート線1(G1、G2)に入力する走査パルスであり、オン(高電位)側で+20V、オフ(低電位)側で-5Vである。

【0055】VS1、VS2は、図6の相隣るソース線2(S1、S2)に入力する液晶用映像信号であり、0～+10V(5±5V)程度の信号である。

【0056】VCOMは対向電極7に印加する電圧で、約5Vである。

【0057】図1に示すように、液晶用映像信号VS1、VS2は、VCOMに対する極性をソース線毎に反転している。また液晶用映像信号VS1、VS2はそれぞれ走査パルスVG1、VG2がオンする期間2H毎に極性を反転している。

【0058】図8は、液晶表示装置全体のブロック図である。図8において、8は液晶パネル、9は信号処理回路、10はゲートドライバー回路、11はソースドライバー回路である。液晶パネル8内には、図6に示す画素

がマトリクス状に配置されている。

【0059】ゲートドライバー回路10は、走査パルス信号(VG1、VG2)を対応するゲート線1(G1、G2)に出力する。ソースドライバー回路11は、液晶用映像信号(VS1、VS2)を対応するソース線2

(S1、S2)に出力する。信号処理回路9はコンピュータ等から送られる同期信号や映像信号から、制御信号や、液晶用映像信号を発生させ、ゲートドライバー回路10及びソースドライバー回路11に送る。液晶用映像信号VS1、VS2等の極性は信号処理回路9にて決定する。

【0060】図6及び図1を用いて、1画素の動作を説明する。1画素の動作としては従来と同様であり、走査パルスVG1がオンする(高電位になる)と薄膜電界効果型トランジスタ4がオン状態となり、液晶用映像信号VS1が液晶コンデンサ5及び蓄積コンデンサ6に書き込まれる。液晶コンデンサ5及び蓄積コンデンサ6に書き込まれた電位をVLCとする。

【0061】走査パルスVG1がオフする(低電位になる)と薄膜電界効果型トランジスタ4がオフ状態となり、液晶コンデンサ5及び蓄積コンデンサ6に保持される。この保持された電位VLCにより液晶を駆動し、透過光量を制御して、映像信号を表示する。

【0062】次に1フレーム期間後、走査パルスVG1がオンしたときには、書き込まれる液晶用映像信号VS1の極性が反転し、電位VLCの極性は反転する。書き込み毎に極性を反転させるのは、液晶を交流駆動し、寿命を確保するためである。

【0063】これらの動作を繰り返すことにより、映像信号に応じて透過光量を制御し、他の画素との組み合わせで液晶パネル全体で映像を表示する。

【0064】図2に液晶パネル全体での各画素の極性を示す。

【0065】本発明による駆動方法の特徴は、図9の極性図に示すように1フレーム内では、横方向に隣接する画素間では必ず液晶駆動電圧の極性を反転させ、かつ、縦方向については2画素毎に極性を反転させている。そして、次のフレーム(図2(B)参照)では、前フレーム(図2(A)参照)と各画素の極性を反転させる。

【0066】本発明の駆動方法を備えた液晶表示装置においても、従来のドット反転駆動が有する特長と同様に、相隣るソース線間で極性が反転しているため、比較的電気抵抗の高い共通電極においても、電荷は隣接する画素までの移動で済むため、液晶パネル全体では電荷の移動は打ち消し合うことになり、横方向のクロストークは発生しない。

【0067】また、隣接する画素同士で画素駆動電圧の極性が反転するため、各画素の持ちフリッカは隣接する画素のフリッカ成分と空間的に打ち消されるため、フリッカが目立ちにくい。

10

20

30

40

50

【0068】駆動回路としては、前述したように基本的に電荷は隣接する画素間で移動するだけで、共通電極と外部回路との電荷の移動量が少ないので、共通電極駆動電圧VCOM発生回路の消費電力が比較的少ない。

【0069】本発明においては、これらの特長に加えて、さらに液晶用映像信号VS1、VS2等の極性が、従来の技術の2倍の2H期間毎に反転することになるので、信号処理回路9及びソースドライバー回路11における消費電力が低減される。

【0070】実際に、消費電力を測定したところ、従来の表示装置が信号処理回路で1.0Wの消費電力であったのに対して、本発明の信号処理回路においては、0.8Wに減少させることができた。

【0071】次に、本発明に係る液晶表示装置において、フレームレートコントローラ(FRC)により、中間調を表示する駆動方法の実施例を説明する。

【0072】図10は、前述した通り、2つの輝度を交互に表示する場合に画素に印加する液晶駆動電圧である。図10において、図示上側に示す駆動電圧VP1は、VCOMの電位を基準にして、低い正電圧①/高い負電圧②を交互に印加する場合であり、図示下側に示す駆動電圧VP2は、低い負電圧③/高い正電圧④を交互に印加する場合である。ここで符号①~④は位相を説明する場合に使用する。各画素に印加する駆動電圧波形について、VP1とVP2を混在させ、さらに位相①~④が混在するように駆動電圧を工夫することで、フリッカ成分を除去する。

【0073】図3に、本発明の一実施例の駆動位相の配置図を示す。図3(B)は、図3(A)のフレームの次のフレームの駆動位相の配置を示している。

【0074】図3に示すように、液晶パネルの各画素において、位相①~④のそれぞれが各自互いに隣接することなく、任意の2×2画素の行列内には位相①~④が必ず含まれ、さらに、各列毎に位相①から④が必ず含まれるように配置されている。

【0075】なお、図3(A)に示すように、横方向に隣接する画素間では駆動電圧の極性は互いに反転され、また、第1列を参照して、①、④が正電圧、③、②が負電圧という具合に、縦方向には2画素(2ライン)毎に駆動電位の極性が反転されている。次のフレーム(図3(B)参照)では、前フレーム(図3(A)参照)と各画素の極性が反転されている。

【0076】従来例では、例えば図11を参照して説明したように、各列において、位相①から④を全て含むことはできなかったが、本実施例によれば、図3に示すように、各列においても位相①から④を含むことができるので、縦すじムラを除去できて、表示品質を向上させることができる。

【0077】本実施例においては、図2及び図3に示すように、任意の2×2画素の行列内には、位相①~④が

必ず含まれ、さらに同一位相同士がそれぞれ互いに隣接しないために、各画素の持つフリッカ成分は空間的に打ち消され、目視ではほとんど視認されない。

【0078】図4に、本発明の液晶表示装置における各画素に印加する駆動電圧の極性決定回路の一実施例を示す。

【0079】図4において、12はD型フリップフロップであり、FF1、FF2及びFF3の3つが設けられている。13は排他的論理和回路、VSは垂直同期信号、HSは水平同期信号、POL1は極性信号である。図5は、図4の回路の動作を説明するタイミング図である。図5には、垂直同期信号VS、水平同期信号HS及び極性信号POL1の各波形が示されている。

【0080】図4及び図5を参照して、極性決定回路の動作を説明する。

【0081】図4において、D型フリップフロップFF1、FF2及びFF3は分周回路として用いている。すなわち、FF1は垂直同期信号VSを1/2分周する。FF2は水平同期信号HSを1/2分周し、FF3はFF2の出力信号を分周して、水平同期信号HSを1/4分周した信号を出力する。D型フリップフロップFF1の出力信号とFF3の出力信号は、排他的論理和回路13に入力されて排他的論理和がとられ、図5に示すように、2H(2水平走査期間、即ち2ライン)毎に極性が反転し、さらに、1フレーム毎に位相が反転する極性信号POL1が生成される。

【0082】なお、上記実施例では、薄膜トランジスタの半導体材料として非晶質シリコンを用いて説明したが、多結晶シリコン等、他の半導体材料を用いても良い。

【0083】

【発明の効果】以上述べたように、本発明の液晶表示装置によれば、液晶用映像信号の極性反転周期が、従来の1H毎から2H毎と2倍とされ、信号処理回路及びソースドライバー回路の消費電力を低減し、液晶表示装置の低消費電力化を達成するという効果を有する。

【0084】本発明の定量的効果の一例として、従来の液晶表示装置における信号処理回路では1.0Wの消費電力であったのに対して、本発明の信号処理回路においては、0.8Wとされ、信号処理回路の消費電力を20%程度も低減している。

【0085】また、本発明によれば、FRC駆動時に、4つの電圧パターンが均一に分散するため、均一な表示が得られ表示品質が向上すると共に、縦すじムラの発生を抑えることができるため、実用上極めて有効である。

【図面の簡単な説明】

【図1】本発明の一実施例を示す駆動電圧波形を示す図である。

【図2】本発明における各画素の極性図である。

【図3】本発明の一実施例の駆動位相の配置図である。



【図 4】本発明の一実施例における極性決定回路の構成例を示す図である。

【図 5】本発明の一実施例における極性決定回路の波形図である。

【図 6】液晶表示装置における 1 画素の等価回路を示す図である。

【図 7】従来の駆動電圧波形を示す図である。

【図 8】装置全体のブロック図である。

【図 9】従来の装置における各画素の極性図である。

【図 10】液晶駆動電圧を示す図である。

【図 11】従来の駆動位相の配置図である。

【図 12】従来の極性決定回路を示す図である。

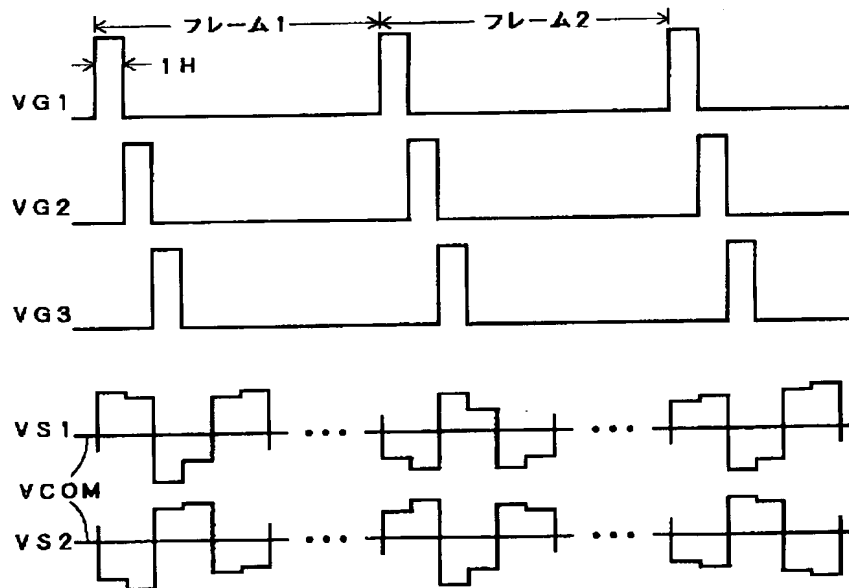
【図 13】従来の極性決定回路の波形図である。

【図 14】従来例 2 の画素の配置図である。

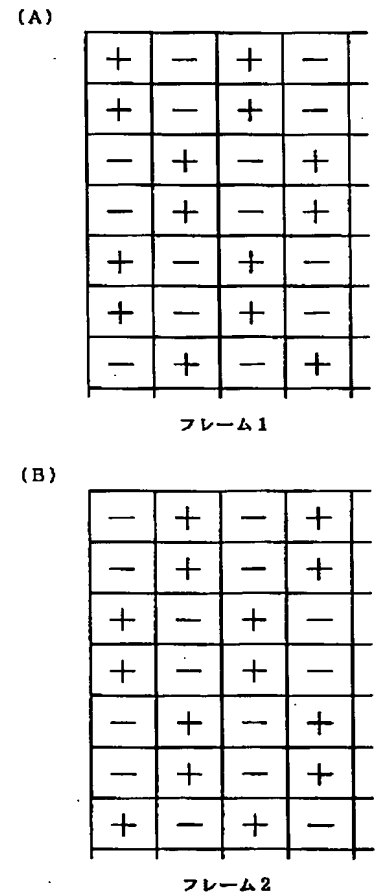
【符号の説明】

- 1 ゲート線
- 2 ソース線
- 3 画素電極
- 4 薄膜電界効果型トランジスタ
- 5 液晶からなるコンデンサ
- 6 蓄積コンデンサ
- 7 対向電極
- 8 液晶パネル
- 9 信号処理回路
- 10 ゲートドライバー
- 11 ソースドライバー
- 12 D型フリップフロップ
- 13 排他的論理和回路

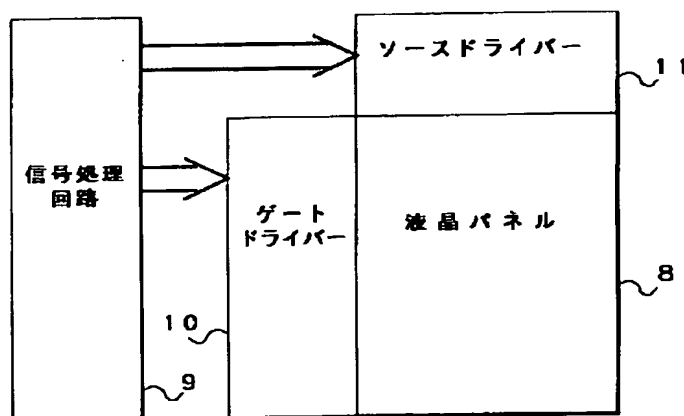
【図 1】



【図 2】



【図 8】



【図 3】

(A)

①	③	①	③
④	②	④	②
③	①	③	①
②	④	②	④
①	③	①	③
④	②	④	②
③	①	③	①

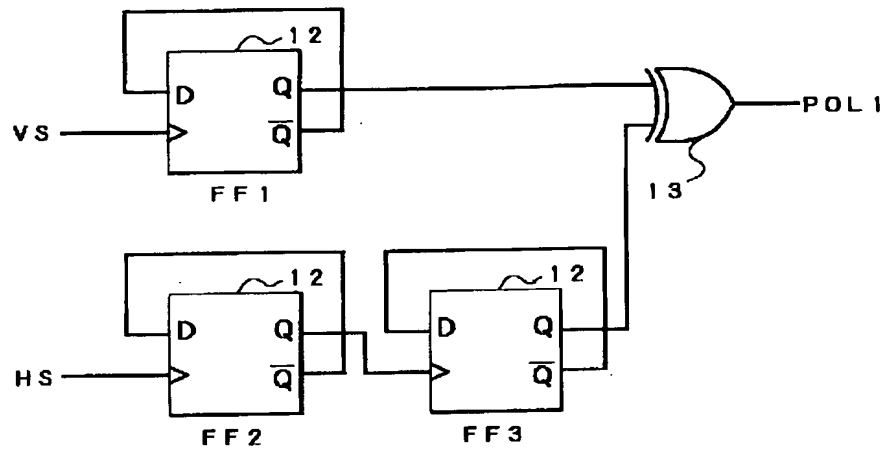
フレーム 1

(B)

②	④	②	④
③	①	③	①
④	②	④	②
①	③	①	③
②	④	②	④
③	①	③	①
④	②	④	②

フレーム 2

【図 4】



【図 9】

(A)

+	-	+	-
-	+	-	+
+	-	+	-
-	+	-	+

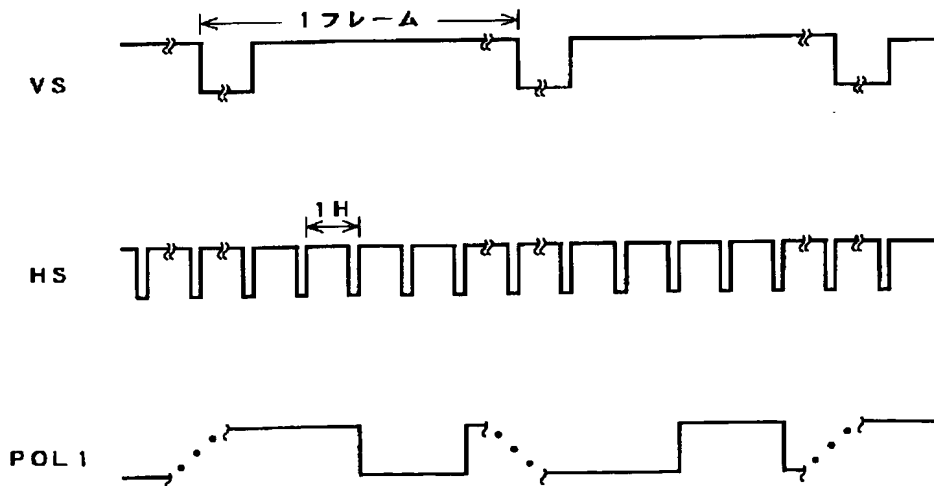
フレーム 1

(B)

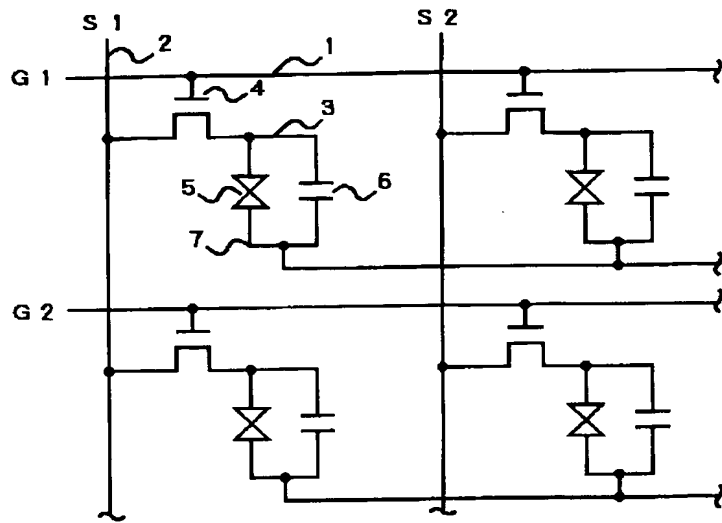
-	+	-	+
+	-	+	-
-	+	-	+
+	-	+	-

フレーム 2

【図 5】



【図 6】



【図 11】

(A)

a ↓	b ↓		
①	③	①	③
②	④	②	④
①	③	①	③
②	④	②	④

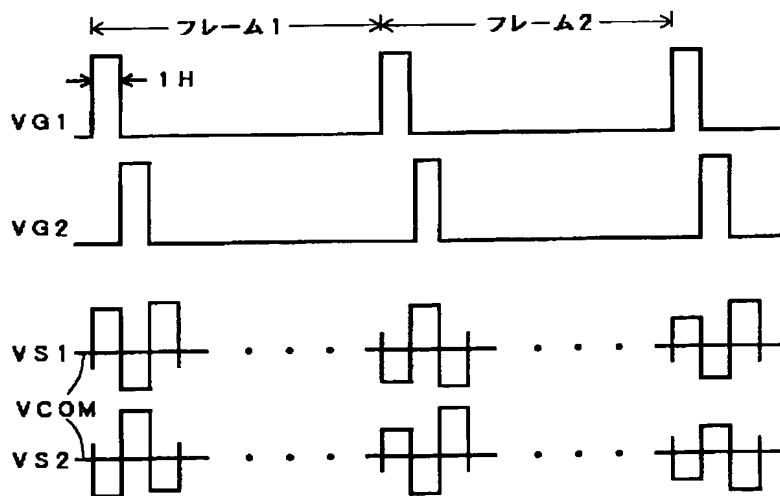
フレーム 1

(B)

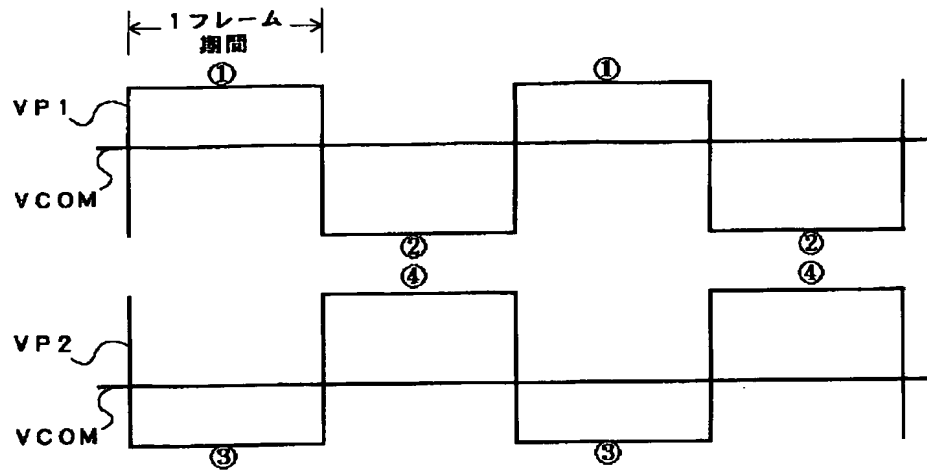
a ↓	b ↓		
②	④	②	④
①	③	①	③
②	④	②	④
①	③	①	③

フレーム 2

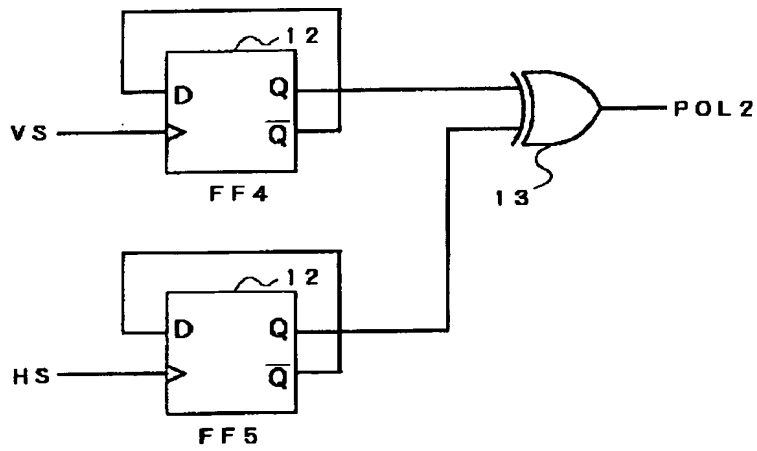
【図 7】



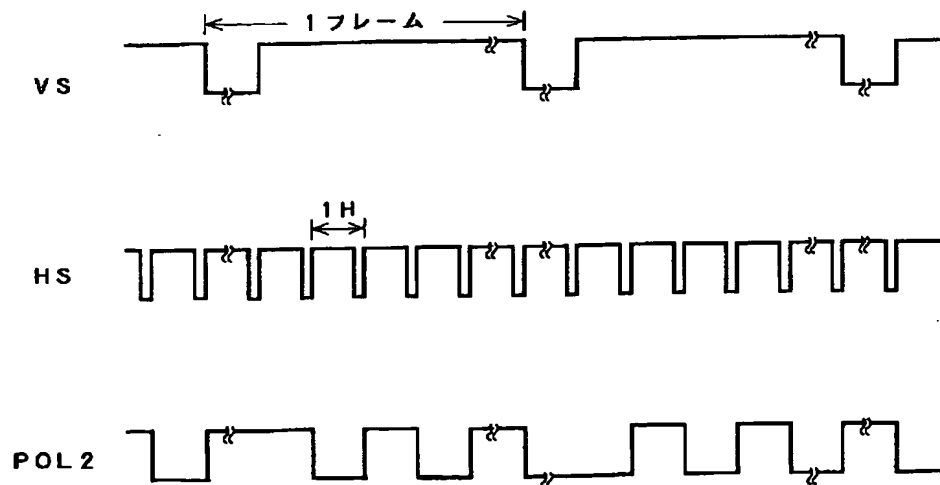
【図 10】



【図 12】



【図 13】



【図14】

